

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-330582

(43) 公開日 平成8年(1996)12月13日

(51) Int.Cl.⁶

H 0 1 L 29/78

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

3 0 1 S

3 0 1 G

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号

特願平7-136671

(22) 出願日

平成7年(1995)6月2日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 西川 哲

東京都港区虎ノ門1丁目7番12号 沖電気

工業株式会社内

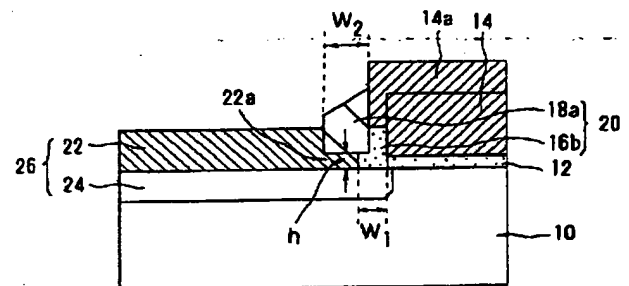
(74) 代理人 弁理士 大垣 孝

(54) 【発明の名称】 MOSFETおよびその製造方法

(57) 【要約】

【目的】 オーバーラップ容量を増やすことなくショートチャネル効果を抑制できるMOSFETの提供。

【構成】 p型のシリコン基板10上にゲート絶縁膜12を介してゲート14を具え、このゲート14の両側にSiO₂からなるサイドウォール20を介してソース層22およびドレイン層をそれぞれ具えている。このサイドウォール20は、第1サイドウォール16bおよび第2サイドウォール18aからなり、第1サイドウォール16bは、ゲート絶縁膜12およびシリコン基板10に接しており、かつ、ソース層18aとシリコン基板10直上で接している。また、第2サイドウォール18aは、第1サイドウォール16bに接し、かつ、第1サイドウォール16bと接するソース層22部分の上にそれぞれ張り出して設けてある。



10 : シリコン基板
14 : ゲート部
16b : 第1サイドウォール
20 : サイドウォール
22a : 隣接部
26 : ソース領域
12 : ゲート絶縁膜
14a : ポリシリコン層
18a : 第2サイドウォール
22 : ソース層
24 : 拡散層

第1実施例

1

【特許請求の範囲】

【請求項1】 第1導電型の基板上にゲート絶縁膜を介してゲートを具え、

該ゲートの両側にサイドウォールを介してソース層およびドレイン層をそれぞれ具え、

該ソース層および当該ソース層から前記基板に第2導電型の不純物が拡散した領域をソース領域とし、

該ドレイン層および当該ドレイン層から前記基板に第2導電型の不純物が拡散した領域をドレイン領域としてなるMOSFETにおいて、

前記サイドウォールは、第1サイドウォールおよび第2サイドウォールからなり、

該第1サイドウォールは、少なくとも前記ゲート絶縁膜および前記基板に接しており、かつ、前記ソース層または前記ドレイン層と基板直上で接しており、

該第2サイドウォールは、前記第1サイドウォールに接し、かつ、前記第1サイドウォールと接する前記ソース層部分および前記ドレイン層部分の上にそれぞれ張り出して設けてなることを特徴とするMOSFET。

【請求項2】 第1導電型の基板上に、ゲート絶縁膜を介してゲート部を形成する工程と、

該ゲート部および露出した基板面を覆う第1絶縁膜を形成する工程と、

該第1絶縁膜に対して1回目の異方性エッチングを行うことにより、前記ゲート部の側壁に第1サイドウォールを形成する工程と、

前記1回目の異方性エッチングによって露出した基板上に、選択的に第1ソース・ドレイン層を成長させる工程と、

該第1ソース・ドレイン層上および前記ゲート部の上側を覆う第2絶縁膜を形成する工程と、

該第2絶縁膜に対して2回目の異方性エッチングを行うことにより、前記第1サイドウォールの側壁に、第2サイドウォールを形成する工程と、

前記2回目の異方性エッチングによって露出した第1ソース・ドレイン層上に、選択的に第2ソース・ドレイン層を成長させる工程と、

熱処理を行うことにより、前記第1ソース・ドレイン層から前記基板へ第2導電型の不純物を固相拡散させて拡散層を形成する工程とを含むことを特徴とするMOSFETの製造方法。

【請求項3】 第1導電型の基板上に、ゲート絶縁膜を介してゲート部を形成する工程と、

該ゲート部および露出した基板面を覆う第1絶縁膜および当該第1絶縁膜と異なる材料からなる第2絶縁膜を順次に形成する工程と、

該第2絶縁膜に対して1回目の異方性エッチングを行うことにより、前記ゲート部の側壁に、第1絶縁膜を介して第2サイドウォールを形成する工程と、

該第2サイドウォールをエッチングマスクとして用い

2

て、該第1絶縁膜に対して2回目の異方性エッチングを行うことにより、前記ゲート部と前記第2サイドウォールとに挟まれた部分および該第2サイドウォールの下側に予備第1サイドウォールを形成する工程と、

該予備第1サイドウォールに対して選択的に等方性エッチングを行うことにより、少なくとも前記ゲート絶縁膜、前記基板および前記第2サイドウォールに接した第1サイドウォールを形成する工程と、

前記2回目の異方性エッチングおよび前記等方性エッチングにより露出した前記基板上に、選択的にソース・ドレイン層を成長させる工程と、

熱処理を行うことにより、該ソース・ドレイン層から前記基板へ第2導電型の不純物を固相拡散させて拡散層を形成する工程とを含むことを特徴とするMOSFETの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、MOSFETおよびその製造方法、特にエレベータッド・ソースドレイン法を用いたMOSFETの製造方法に関する。

【0002】

【従来の技術】 従来の、MOSFETの製造方法の一例として、エレベータッド・ソースドレイン法を用いた方法が、文献：「Extended abstract of the 1994 International conference on solid state devices and materials (Yokohama, 1994) pp.482-484」に開示されている。エレベータッド・ソースドレイン法では、ゲートとの間にサイドウォールを介在させてゲートの両側に成長させたソース・ドレイン層をソース・ドレイン領域の一部にする。このため、このソース・ドレイン層を厚くすることで、ソース・ドレイン抵抗の低減を図ることができる。さらに、この方法では、このソース・ドレイン層から不純物を拡散させて、浅い接合のソース・ドレイン領域を形成することにより、ショートチャネル効果を抑制することができる。

【0003】

【発明が解決しようとする課題】 ところで、基板における不純物の横方向の拡散距離は、縦方向の拡散距離と同程度である。従って、ソース・ドレインの接合深さを浅くするために、拡散拡散層を浅くすると、横方向の拡散距離も短くなってしまう。一方、素子が動作するためには、ソースドレイン領域とゲート下に形成されるチャネルとが接続される必要がある。このため、ソース・ドレインの接合深さを浅くし、かつ、この接続を実現するためには、ゲートとソース・ドレイン層との間に介在するサイドウォールの厚さを薄くする必要がある。

【0004】 例えば、この接合深さが40nm程度の場合、一般に横方向拡散距離は縦方向拡散距離の60～70%であるので、チャネルとの接合を実現するためにサイドウォールの厚さを20nm程度に薄くする必要がある。

る。

【0005】しかしながら、サイドウォールを薄くすると、ゲートとソース・ドレイン間の容量（オーバーラップ容量）が増大する。その結果、MOSFETの高速動作の障害になるという問題があった。

【0006】

【課題を解決するための手段】

（第1の発明）この出願に係る第1の発明のMOSFETによれば、第1導電型の基板上にゲート絶縁膜を介してゲートを具え、このゲートの両側にサイドウォールを介してソース層およびドレイン層をそれぞれ具え、このソース層および当該ソース層から基板に第2導電型の不純物が拡散した領域をソース領域とし、このドレイン層および当該ドレイン層から基板に第2導電型の不純物が拡散した領域をドレイン領域としてなるMOSFETにおいて、サイドウォールは、第1サイドウォールおよび第2サイドウォールからなり、この第1サイドウォールは、少なくともゲート絶縁膜および基板に接しており、かつ、ソース層またはドレイン層と基板直上で接しており、この第2サイドウォールは、第1サイドウォールに接し、かつ、第1サイドウォールと接するソース層部分およびドレイン層部分の上にそれぞれ張り出して設けられることを特徴とする。

【0007】尚、このMOSFETにおいては、第1および第2ソース・ドレイン層、および拡散層が、ソース・ドレイン領域に含まれる。

【0008】また、ソース・ドレイン層は、ゲート部の両側のうちのどちらか一方をソースとし、もう一方をドレインとする。

【0009】（第2の発明）また、この出願に係る第2の発明のMOSFETの製造方法によれば、第1導電型の基板上に、ゲート絶縁膜を介してゲート部を形成する工程と、このゲート部および露出した基板面を覆う第1絶縁膜を形成する工程と、この第1絶縁膜に対して1回目の異方性エッチングを行うことにより、ゲート部の側壁に第1サイドウォールを形成する工程と、1回目の異方性エッチングによって露出した基板上に、選択的に第1ソース・ドレイン層を成長させる工程と、この第1ソース・ドレイン層上およびゲート部の上側を覆う第2絶縁膜を形成する工程と、この第2絶縁膜に対して2回目の異方性エッチングを行うことにより、第1サイドウォールの側壁に、第2サイドウォールを形成する工程と、2回目の異方性エッチングによって露出した第1ソース・ドレイン層上に、選択的に第2ソース・ドレイン層を成長させる工程と、熱処理を行うことにより、第1ソース・ドレイン層から基板へ第2導電型の不純物を固相拡散させて拡散層を形成する工程とを含むことを特徴とする。

【0010】尚、このMOSFETにおいては、第1および第2ソース・ドレイン層、および拡散層が、ソース

・ドレイン領域に含まれる。

【0011】また、ソース・ドレイン層は、ゲート部の両側のうちのどちらか一方をソースとし、もう一方をドレインとする。

【0012】（第3の発明）また、この出願に係る第3の発明のMOSFETの製造方法によれば、第1導電型の基板上に、ゲート絶縁膜を介してゲート部を形成する工程と、このゲート部および露出した基板面を覆う第1絶縁膜および当該第1絶縁膜と異なる材料からなる第2絶縁膜を順次に形成する工程と、この第2絶縁膜に対して1回目の異方性エッチングを行うことにより、ゲート部の側壁に、第1絶縁膜を介して第2サイドウォールを形成する工程と、この第2サイドウォールをエッチングマスクとして用いて、この第1絶縁膜に対して2回目の異方性エッチングを行うことにより、ゲート部と第2サイドウォールとに挟まれた部分およびこの第2サイドウォールの下側に予備第1サイドウォールを形成する工程と、この予備第1サイドウォールに対して選択的に等方性エッチングを行うことにより、少なくともゲート絶縁膜、基板および第2サイドウォールに接した第1サイドウォールを形成する工程と、2回目の異方性エッチングおよび等方性エッチングにより露出した基板上に、選択的にソース・ドレイン層を成長させる工程と、熱処理を行うことにより、このソース・ドレイン層から基板へ第2導電型の不純物を固相拡散させて拡散層を形成する工程とを含むことを特徴とする。

【0013】尚、このMOSFETにおいては、ソース・ドレイン層および拡散層が、ソース・ドレイン領域に含まれる。

【0014】また、ソース・ドレイン層は、ゲート部の両側のうちのどちらか一方がソースとなり、もう一方がドレインとなる。

【0015】

【作用】

（第1の発明）この出願に係る第1の発明のMOSFETの構造によれば、エレベティッド・ソース・ドレインを設けたことにより、従来同様、ソース・ドレイン抵抗の低減を図り、さらに、ソース・ドレイン接合を浅くすることによって、ショートチャネル効果を低減することができる。さらに、本発明では、サイドウォールを第1および第2サイドウォールを以って構成し、第1サイドウォールの膜厚を薄くすることによって、基板直上でのゲート部とソース・ドレイン層との距離を短くし、一方、第2サイドウォールによって、基板直上部分以外出のゲート部とソース・ドレイン層との距離を長くしている。その結果、オーバーラップ容量を増やすことなく拡散層とチャネルを接続することができる。このため、MOSFETの高速動作が可能となる。

【0016】（第2および第3の発明）この出願に係る第2および第3の発明のMOSFETの製造方法によれ

5

ば、第1サイドウォールの厚さを制御することによって、オーバーラップ容量を制御することができる。また、第2サイドウォールの厚さを制御することによって、基板特上でのゲート部とソース・ドレイン領域との水平距離を制御することができる。そして、これらの発明では、この第1および第2サイドウォールの厚さを個別に制御することができる。従って、非常に浅いソース・ドレイン接合を有するMOSFETをオーバーラップ容量を増加させることなく実現することができる。

【0017】

【実施例】以下、図面を参照して、この出願に係る発明のMOSFETおよびその製造方法について説明する。尚、参照する図面は、これらの発明が理解できる程度に各構成成分の大きさ、形状および配置関係を概略的に示してあるに過ぎない。従って、これらの発明は図示例にのみ限定されるものでないことは明らかである。また、各図では、断面を表すハッチングを一部省略して示す。

【0018】（第1実施例）第1実施例では、図1を参照して、第1の発明のMOSFETの構造の一例について説明する。図1は、第1実施例のMOSFETの説明に供する要部断面図であり、ゲート長方向に添った切り口での縦断面を示す。

【0019】第1の発明のMOSFETによれば、p型のシリコン基板10上に厚さ10nmのゲート絶縁膜12を介してゲート14を具えている。このゲート14は、ポリシリコンからなり、ゲート長は0.2μmである。

【0020】また、このゲート14の両側にSiO₂からなるサイドウォール20を介してソース層22およびドレイン層をそれぞれ具えている。このソース層22およびドレイン層はエピタキシャル成長させたシリコンからなる。

【0021】また、このソース層22および当該ソース層からシリコン基板10にn型の不純物を拡散させた拡散層24をソース領域26とし、一方、このドレイン層および当該ドレイン層からシリコン基板にn型の不純物が拡散した領域をドレイン領域としている。この実施例では、n型の不純物として燐(P)を用いる。

【0022】尚、ソース領域とドレイン領域との断面構成はゲートを挟んで対称であるため、図1ではドレイン領域の図示を省略する。

【0023】そして、このMOSFETでは、サイドウォール20は、第1サイドウォール16bおよび第2サイドウォール18aからなる。

【0024】この第1サイドウォール16bは、少なくともゲート絶縁膜12およびシリコン基板10に接しており、かつ、ソース層18aとシリコン基板10直上で接している。尚、ドレイン側の構成もソース側と同様とする。

【0025】また、この第2サイドウォール18aは、

6

第1サイドウォール20に接し、かつ、第1サイドウォール16aと接するソース層22部分の上にそれぞれ張り出して設けてある。

【0026】この実施例では、第1サイドウォールの横方向の幅W₁を20nmとし、第2サイドウォールの張り出し部の下側で、第1サイドウォールとソース層22とが接する部分（以下、隣接部とも称する）22aの高さH₁を30nmとする。この高さH₁を30nmとした場合、この隣接部22aの抵抗値はチャネル抵抗よりも小さくなる。例えば、ゲート長が0.2μmの場合のチャネル抵抗は10kΩ程度であるのに対して、この隣接部22aの抵抗は約1kΩと小さくなる。また、この高さH₁を30nmとした場合、ゲート部とソース層と間の第1サイドウォールを介した容量(C₁)は、ゲート部とシリコン基板との間のゲート絶縁膜を介した容量(C₀)に比べて10分の1以下に小さくなる。例えば、ゲート長が0.2μm、ゲート絶縁膜の膜厚が10nmの場合は、第1サイドウォールの厚さを40nm以下にすれば、C₁の容量がC₀の容量の10分の1以下になる。

【0027】（第2実施例）第2実施例では、図2～図4を参照して、第2の発明のMOSFETの製造方法の一例について説明する。図2の(A)～(C)は、第2実施例の説明に供する断面工程図である。図3の(A)～(C)は、図2の(C)に続く断面工程図である。図4の(A)および(B)は、図3の(C)に続く断面工程図である。尚、各図は、ゲート長方向に添った切り口での縦断面を示す。尚、ソース領域とドレイン領域との断面構成はゲートを挟んで対称であるため、各図ではドレイン領域の図示を省略する。

【0028】第2実施例では、まず、p型のシリコン基板10上に、厚さ10nmのゲート絶縁膜12を介して、ポリシリコンからなるゲート14を形成する。このゲート14のゲート長は0.2μmである（図2の(A)）。

【0029】次に、このゲート部14および露出した基板10面を覆う第1絶縁膜30を形成する。この実施例では、第1絶縁膜30として、均一な厚さ20nmのSiO₂膜30を形成する（図2の(B)）。

【0030】次に、この第1絶縁膜30に対して1回目の異方性ドライエッチングを行うことにより、ゲート部14の側壁に第1サイドウォール30aを形成する。このサイドウォールのゲート長方向の幅（厚さ）は、約20nmとなる（図2の(C)）。

【0031】次に、1回目の異方性エッチングによって露出した基板10上に、選択エピタキシャル成長により、選択的に第1ソース・ドレイン層（以下、第1エビ層とも称する）32成長させる。選択エピタキシャル成長を行うにあたり、この実施例では、基板温度を750℃、チャンバの圧力40Torrとし、原料ガスとし

7

て、 H_2 10 L/分、ジクロールシラン100 cc/分、不純物として PH_2 (1000 ppm H_2 希釈)をチャンバに供給し、成膜速度6 nm/分の条件の下で膜厚30 nmのエピタキシャル層を成長させた。この第1エビ層の不純物濃度は約 3×10^{20} 原子/cm³となる。尚、第1エビ層を成長させる際に、ゲート部14上には、ポリシリコン層34が成長する(図3の(A))。

【0032】次に、この第1ソース・ドレイン層32上およびゲート部14の上側(この実施例では、ポリシリコン層14a)を覆う第2絶縁膜36を形成する。この実施例では、第2絶縁膜として、厚さ200 nmの窒化膜を形成する(図3の(B))。

【0033】次に、この第2絶縁膜36に対して2回目の異方性エッチングを行うことにより、第1サイドウォール30aの側壁に、第2サイドウォール36aを形成する。この第1および第2サイドウォール30aおよび36aがサイドウォール38を構成する(図3の(C))。

【0034】次に、2回目の異方性エッチングによって露出した第1エビ層32上に、選択エピタキシャル成長により、選択的に第2ソース・ドレイン層(以下、第2エビ層とも称する)40を成長させる。第2エビ層34を成長させるにあたり、この実施例では、基板温度を800℃とする他は、第1エビ層の成長時と同一条件で、成膜速度30 nm/分で200 nmの膜厚に成長させる。第2エビ層の厚さが200 nm程度の場合、第2エビ層とゲートとの間の容量は、ゲート部14とシリコン基板10との間のゲート絶縁膜を介した容量の10分の1以下になる。10分1以下にするためには、第2エビ層の厚さは少なくとも100 nm程度あれば良い。

【0035】尚、第2エビ層を成長させる際に、ポリシリコン層34上には、ポリシリコン層42aが成長する。このポリシリコン層42aおよび34およびゲート部14は、ゲートとして機能する。また、第1および第2エビ層32および40を合わせてソース・ドレイン層44とする(図4の(A))。

【0036】次に、850℃の温度下で30分間熱処理を行うことにより、第1ソース・ドレイン層から基板へn型の不純物を固相拡散させて厚さ40 nm程度の拡散層46を形成する。この拡散層46、第1および第2エビ層32および40がソース領域48となる(図4の(B))。

【0037】(第3実施例)第3実施例では、図5～図7を参照して、第3の発明のMOSFETの製造方法の一例について説明する。図5の(A)～(C)は、第3実施例の説明に供する断面工程図である。図6の(A)～(C)は、図5の(C)に続く断面工程図である。図7の(A)および(B)は、図6の(C)に続く断面工程図である。尚、各図は、ゲート長方向に添った切り口

8

での縦断面を示す。

【0038】第3実施例では、先ず、p型のシリコン基板10上に、厚さ10 nmのゲート絶縁膜12を介して、ポリシリコンからなるゲート14を形成する。このゲート14のゲート長は0.2 μm である(図5の(A))。

【0039】次に、このゲート部14および露出したシリコン基板10面を覆う第1絶縁膜および当該第1絶縁膜と異なる材料からなる第2絶縁膜を順次に形成する。ここでは、先ず、膜厚30 nm程度のシリコン酸化膜16を形成する(図5の(B))。

【0040】次に、シリコン酸化膜16上に、膜厚200 nm程度のシリコン窒化膜18を形成する(図5の(C))。

【0041】次に、この第2絶縁膜18に対して1回目の異方性ドライエッチングを行うことにより、ゲート部14の側壁に、第1絶縁膜16を介して第2サイドウォール18aを形成する(図6の(A))。

【0042】次に、この第2サイドウォール18aをエッチングマスクとして用いて、この第1絶縁膜16に対して2回目の異方性エッチングを行うことにより、ゲート部14と第2サイドウォール18aとに挟まれた部分およびこの第2サイドウォール18の下側に予備第1サイドウォール16aを形成する(図6の(B))。

【0043】次に、この予備第1サイドウォール16aに対して選択的に等方性エッチングを行うことにより、少なくともゲート絶縁膜12、シリコン基板10および第2サイドウォール18aに接した第1サイドウォール16bを形成する(図6の(C))。

【0044】次に、2回目の異方性エッチングおよび等方性エッチングにより露出したシリコン基板10上に、ソース・ドレイン層(以下、エビ層とも称する)22を減圧CVD法を用いて選択的にエピタキシャル成長させる。(尚、図7では、ソース層22のみを図示する。)選択エピタキシャル成長を行うにあたり、この実施例では、基板温度を750℃、チャンバの圧力40 Torrとし、原料ガスとして、 H_2 10 L/分、ジクロールシラン100 cc/分、不純物として PH_2 (1000 ppm H_2 希釈)をチャンバに供給する。そして、成膜速度6 nm/分の条件の下で膜厚200 nmのエピタキシャル成長させた。この第1エビ層の不純物濃度は約 3×10^{20} 原子/cm³となる。

【0045】尚、エビ層を成長させる際に、ゲート部14上には、ポリシリコン層14aが成長する(図7の(A))。

【0046】次に、850℃の温度下で30分間熱処理を行うことにより、ソース・ドレイン層22からシリコン基板10へn型の不純物を固相拡散させて厚さ40 nm程度の拡散層24を形成する。この拡散層24、エビ層22がソース領域46となる(図7の(B))。

9

【0047】このようにして、第1実施例で説明した構造のMOSFETが得られる。

【0048】ところで、基板上に選択的にエピタキシャル層を成長させる場合、成長条件によっては、いわゆるファセットが発生することがある。例えば、図11に示すように、ゲート部の直近の部分にファセットが発生した場合、第2サイドウォールを形成しなくとも、オーバーラップ容量を低減することができる。また、ファセットが発生しても、素子の特性上特に問題はない。従って、ファセットをわざと発生させることによりオーバーラップ容量を低減し、かつ、接合深さの浅い拡散領域を形成したMOSFETを得ることも考えられる。しかし、エピタキシャル層を成長させる際に、ファセットを再現性良く発生させる条件を設定するのは必ずしも容易ではない。

【0049】この点、この出願に係る発明のMOSFETの製造方法によれば、ファセットの発生の有無を考慮することなく、即ち、ファセットの発生条件に束縛されることなくエピタキシャル成長を容易に行うことができる。

【0050】（第4実施例）第4実施例では、図8～図10を参照して、第3の発明のMOSFETの製造方法の一例について説明する。図8の(A)～(C)は、第4実施例の説明に供する断面工程図である。図9の(A)～(C)は、図8の(C)に続く断面工程図である。図10の(A)および(B)は、図9の(C)に続く断面工程図である。尚、各図は、ゲート長方向に添った切り口での縦断面を示す。

【0051】第4実施例では、先ず、p型のシリコン基板10上に、厚さ10nmのゲート絶縁膜12を介して、ポリシリコンからなるゲート14を形成する。このゲート14のゲート長は0.2μmである（図8の(A)）。

【0052】次に、このゲート部14および露出したシリコン基板10面を覆う第1絶縁膜50および当該第1絶縁膜50と異なる材料からなる第2絶縁膜52を順次に形成する。ここでは、先ず、膜厚30nm程度のシリコン酸化膜50を形成する（図8の(B)）。

【0053】次に、シリコン酸化膜52上に、膜厚200nm程度のシリコン酸化膜52を形成する（図8の(C)）。

【0054】次に、この第2絶縁膜52に対して1回目の異方性ドライエッチングを行うことにより、ゲート部14の側壁に、第1絶縁膜50を介して第2サイドウォール52aを形成する（図9の(A)）。

【0055】次に、この第2サイドウォール52aをエッチングマスクとして用いて、この第1絶縁膜50に対して2回目の異方性エッチングを行うことにより、ゲート部14と第2サイドウォール52aとに挟まれた部分およびこの第2サイドウォール18の下側に予備第1サ

10

イドウォール50aを形成する（図9の(B)）。

【0056】次に、この予備第1サイドウォール50aに対して選択的に等方性エッチングを行うことにより、少なくともゲート絶縁膜12、シリコン基板10および第2サイドウォール18aに接した第1サイドウォール16bを形成する（図9の(C)）。

【0057】次に、2回目の異方性エッチングおよび等方性エッチングにより露出したシリコン基板10上に、ソース・ドレイン層（以下、エピ層とも称する）22をUHV-CVD法を用いて選択的にエピタキシャル成長させる。（尚、図10では、ソース層22のみを図示する。）選択エピタキシャル成長を行うにあたり、この実施例では、基板温度を600℃、チャンバ内の圧力1×10⁻⁴Torrとし、原料ガスとして、SiH₄10cc/分、不純物としてPH₃1cc/分（H₂希釈、1%）をチャンバに供給し、成膜速度10nm/分の条件の下で膜厚200nmにエピタキシャル成長させた。この第1エピ層の不純物濃度は約3×10²⁰原子/cm³となる。

20 【0058】尚、エピ層を成長させる際に、ゲート部14上には、ポリシリコン層14aが成長する（図10の(A)）。

【0059】次に、850℃の温度下で30分間熱処理を行うことにより、ソース・ドレイン層22からシリコン基板10へn型の不純物を固相拡散させて厚さ40nm程度の拡散層24を形成する。この拡散層24、エピ層22がソース領域46となる（図10の(B)）。

【0060】上述した各実施例では、これらの発明を特定の材料を使用し、特定の条件で形成した例についてのみ説明したが、これらの発明は多くの変更および変形を行うことができる。例えば、上述した各実施例では第1導電型をp型、第2導電型をn型としたが、これらの発明では第1導電型をn型、第2導電型をp型としても良い。

【0061】また、上述した各実施例では基板としてシリコン基板を用いたが、これらの発明では、シリコン系基板ならば良く、例えば、シリコン基板上にSiGeまたはSiCをエピタキシャル成長したものを基板としても良い。

40 【0062】また、上述した各実施例では、ソース・ドレイン層としてシリコンのエピタキシャル層を選択成長させたが、これらの発明では、例えばポリシリコン層を選択成長させても良い。また、これらの層として、シリコンの代わりに例えばSiGeを選択成長させても良い。

【0063】また、上述した第2～4実施例では、異方性エッチングとして異方性ドライエッチングを行ったが、これらの発明では異方性エッチングとして異方性ウエットエッチングを行っても良い。

50 【0064】また、上述した第2～4実施例では、ソー

11

ス・ドレイン層を選択エピタキシャル成長する際に、不純物をドーブしたが、これらの発明では、エピタキシャル成長させた後に、不純物をイオン注入しても良い。

【0065】また、上述した第2～4実施例では、ソース・ドレイン層を選択エピタキシャル成長する際にゲート部14上にポリシリコン層を成長させたが、これらの発明では、ゲート部14上には、必ずしもポリシリコン層を成長させなくとも良い。

【0066】

【発明の効果】

(第1の発明) この出願に係る第1の発明のMOSFETの構造によれば、エレベティッド・ソースドレインを設けたことにより、従来同様、ソース・ドレイン抵抗の低減を図り、さらに、ソース・ドレイン接合を浅くすることによって、ショートチャネル効果を低減することができる。さらに、本発明では、サイドウォールを第1および第2サイドウォールを以て構成し、第1サイドウォールの膜厚を薄くすることによって、基板直上でのゲート部とソース・ドレイン層との距離を短くし、一方、第2サイドウォールによって、基板直上部分以外出

のゲート部とソース・ドレイン層との距離を長くしている。その結果、オーバーラップ容量を増やすことなく拡散層とチャネルを接続することができる。このため、MOSFETの高速動作が可能となる。

【0067】(第2および第3の発明) この出願に係る第2および第3の発明のMOSFETの製造方法によれば、第1サイドウォールの厚さを制御することによって、オーバーラップ容量を制御することができる。また、第2サイドウォールの厚さを制御することによって、基板特上でのゲート部とソース・ドレイン領域との水平距離を制御することができる。そして、これらの発明では、この第1および第2サイドウォールの厚さを個別に制御することができる。従って、非常に浅いソース・ドレイン接合を有するMOSFETをオーバーラップ容量を増加させることなく実現することができる。

【図面の簡単な説明】

【図1】第1実施例のMOSFETの説明に供する要部断面図である。

【図2】(A)～(C)は、第2実施例のMOSFETの製造方法の説明に供する断面工程図である。

【図3】(A)～(C)は、図2の(C)に続く断面工程図である。

【図4】(A)および(B)は、図3の(C)に続く断面工程図である。

【図5】(A)～(C)は、第3実施例のMOSFETの製造方法の説明に供する断面工程図である。

12

【図6】(A)～(C)は、図5の(C)に続く断面工程図である。

【図7】(A)および(B)は、図6の(C)に続く断面工程図である。

【図8】(A)～(C)は、第4実施例のMOSFETの製造方法の説明に供する断面工程図である。

【図9】(A)～(C)は、図8の(C)に続く断面工程図である。

【図10】(A)および(B)は、図9の(C)に続く断面工程図である。

【図11】ファセットの説明に供する図である。

【符号の説明】

10：シリコン基板

12：ゲート絶縁膜

14：ゲート部

14a：ポリシリコン層

16：第1絶縁膜

16a：予備第1サイドウォール

16b：第1サイドウォール

18：第2絶縁膜

18a：第2サイドウォール

20：サイドウォール

22：ソース層

22a：隣接部

24：拡散層

26：ソース領域

30：第1絶縁膜

30a：第1サイドウォール

32：第1ソース・ドレイン層(第1エピ層)

34：ポリシリコン層

36：第2絶縁膜

36a：第2サイドウォール

38：サイドウォール

40：第2ソース・ドレイン層(第2エピ層)

42：ポリシリコン層

44：ソース・ドレイン層

46：拡散層

48：ソース領域

50：第1絶縁膜

50a：予備第1サイドウォール

52：第2絶縁膜

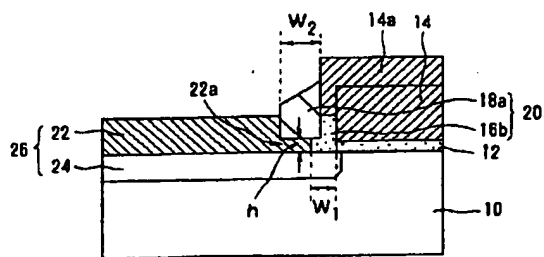
52a：第2サイドウォール

54：サイドウォール

60：絶縁膜

62：シリコンエピタキシャル層

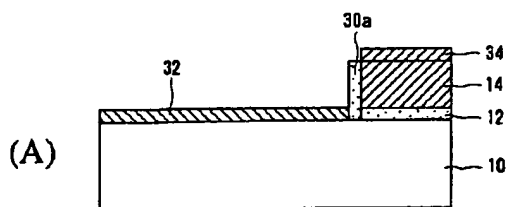
【図 1】



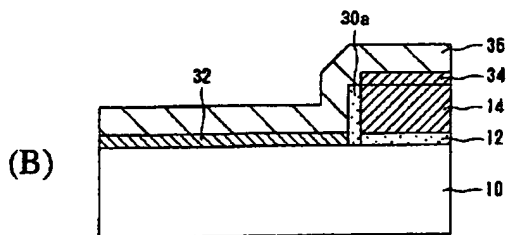
10 : シリコン基板
14 : ゲート部
16b : 第1サイドウォール
20 : サイドウォール
22a : 隣接部
26 : ソース領域
12 : ゲート絶縁膜
14a : ポリシリコン層
18a : 第2サイドウォール
22 : ソース層
24 : 拡散層

第1実施例

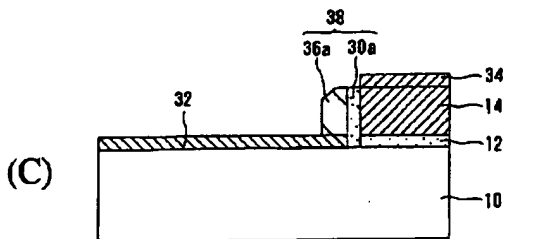
【図 3】



32 : 第1ソース・ドレイン層 (第1エビ層)
34 : ポリシリコン層



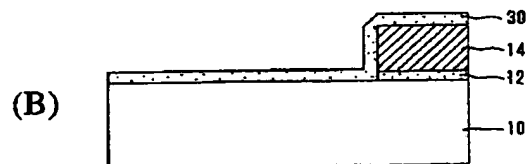
36 : 第2絶縁層



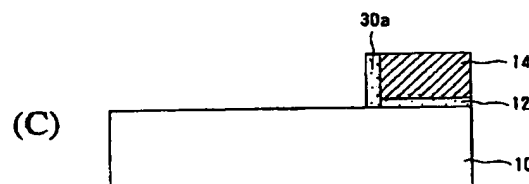
36a : 第2サイドウォール
38 : サイドウォール

第2実施例 (2)

【図 2】



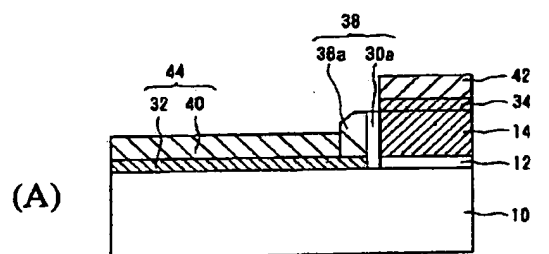
30 : 第1絶縁層



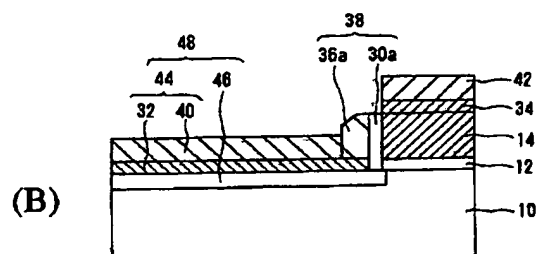
30a : 第1サイドウォール

第2実施例 (1)

【図 4】



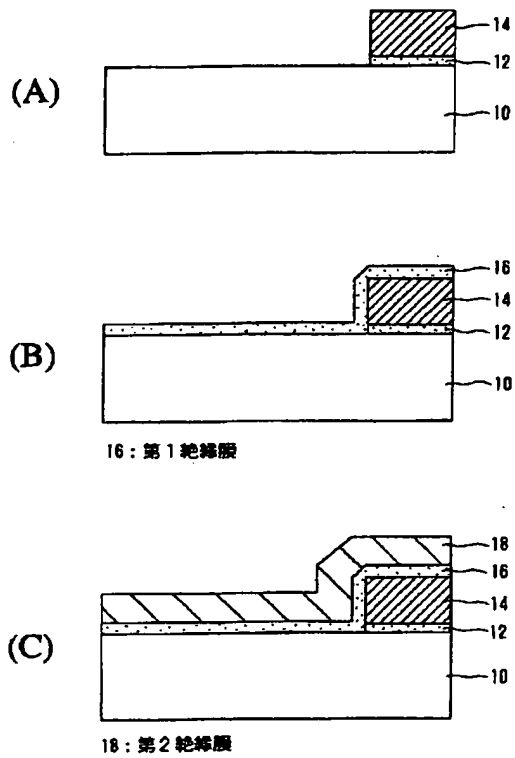
40 : 第2ソース・ドレイン層 (第2エビ層)
42 : ポリシリコン層
44 : ソース・ドレイン層



46 : 拡散層
48 : ソース領域

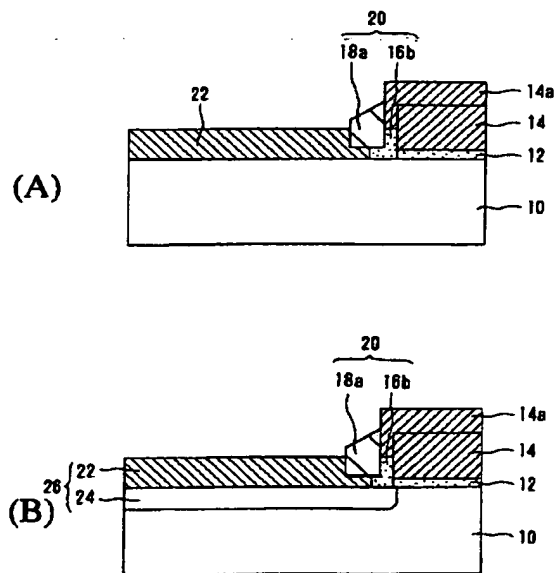
第2実施例 (3)

【図 5】



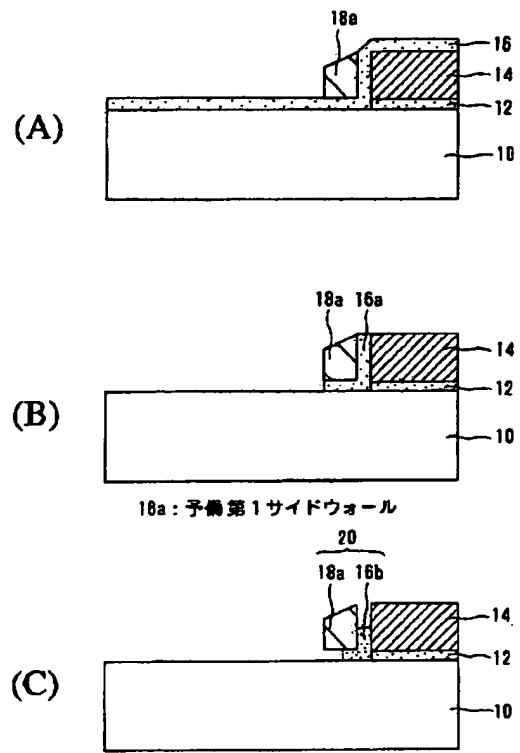
第3実施例(1)

【図 7】



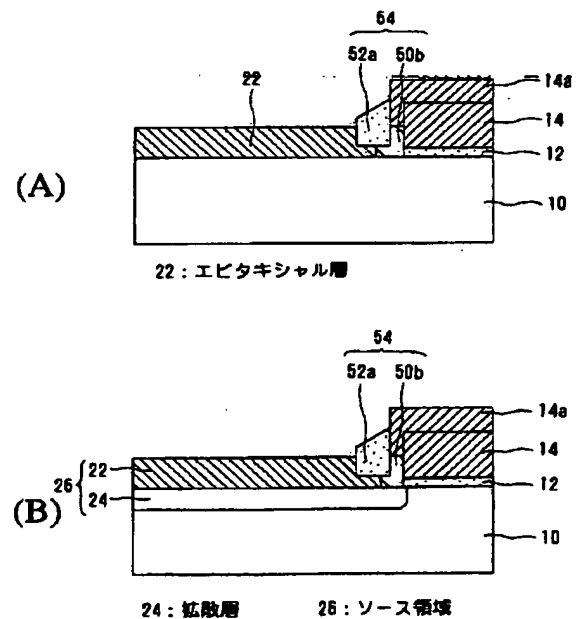
第3実施例(3)

【図 6】



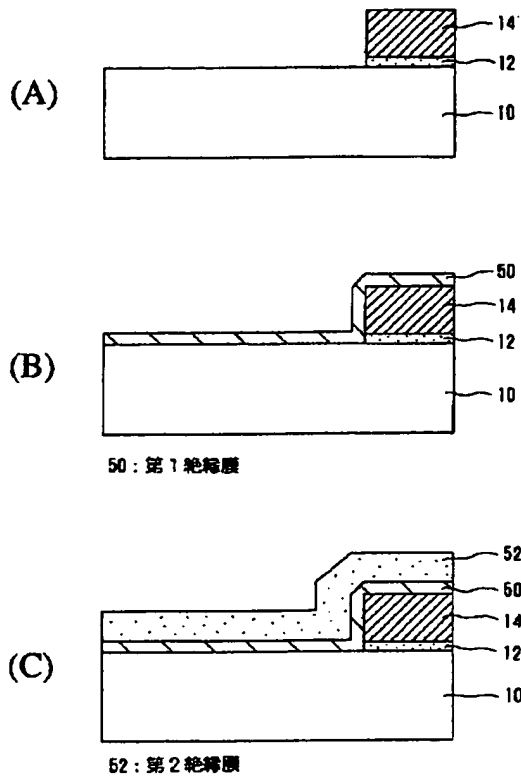
第3実施例(2)

【図 10】



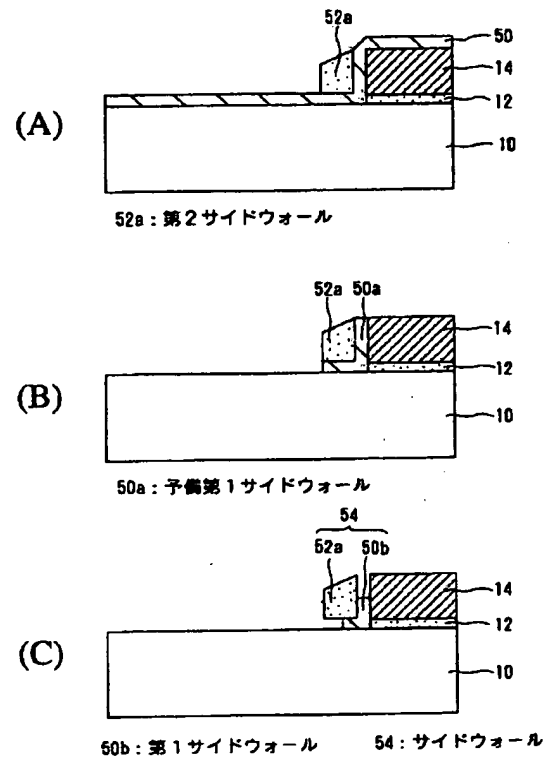
第4実施例(3)

【図 8】



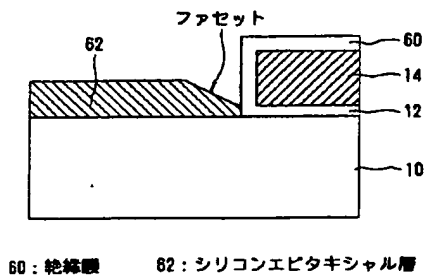
第 4 実施例 (1)

【図 9】



第 4 実施例 (2)

【図 11】



ファセットの説明図